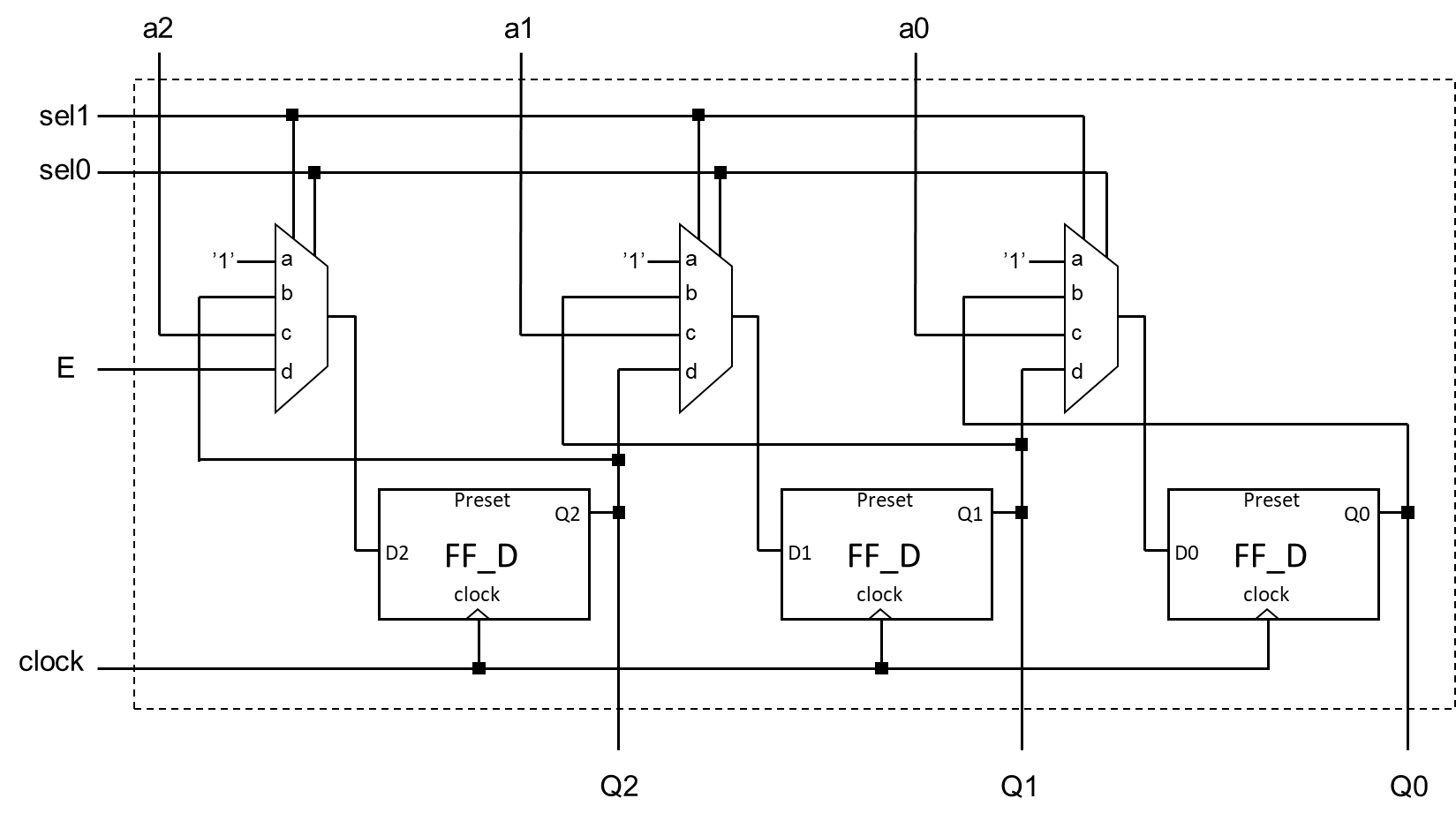
**DISSENY DIGITAL BÀSIC 2019-2020**

***PRÀCTICA 4: Implementació de sistemes seqüencials i aplicació a circuits lògics - Registres (dies 25, 26, 27, 29 de novembre i 5 de desembre)***

L’objectiu d’aquesta quarta pràctica és familiaritzar-nos en la implementació i l’ús de sistemes seqüencials i la seva aplicació en circuits lògics. Per fer-ho, implementarem un registre utilitzant tres Flip-Flops D (per flanc de pujada), connectats a tres multiplexors de 4 a 1. L’esquema bàsic del circuit es presenta a continuació:



On les entrades Dn venen donades pel canal de selecció sel1, sel0.

D’aquesta forma, implementareu un circuit amb un registre per paraules de 3 bits i els sistemes combinacionals adients que pugui realitzar les següents funcions:

|  |  |  |
| --- | --- | --- |
| **sel1** | **sel0** | **Operació** |
| 0 | 0 | Posta a ’1’ |
| 0 | 1 | Manteniment de la paraula |
| 1 | 0 | Càrrega en paral·lel |
| 1 | 1 | Càrrega en sèrie per l’esquerra |

**Treball a desenvolupar de forma autònoma:**

**(a entregar 48 hores abans de la vostra corresponent sessió de pràctiques a través de CampusVirtual)**

1. Comproveu el diseny del registre per asegurar-vos del seu correcte funcionament.
2. Definiu l’entitat mux4a1, que és un mulltiplexor de 4 entrades (a, b, c, d) i dos canals de selección (sel1, sel0) i una única sortida (f). Implementeu dos arquitectures: una logica\_retard i una altra ifthen.
3. Definiu l’entitat FF-D, corresponent a un Flip-Flop D, amb entrades D, clock, Pre (corresponents a l’entrada D, al rellotge i al Preset, respectivament) i una única sortida Q. Afegiu la corresponent arquitectura ifthen per tal de que funcio correctament.
4. Definiu una entitat anomenada registre amb entrades: a2, a1, a0, sel1, sel0, E, clock; i amb les sortides: Q2, Q1, Q0. Feu una arquitectura estructural on implementeu el registre, tal i com es mostra a la figura anterior.
5. Escribiu un banc de proves ***bdp*** amb la seva arquitectura ***test*** per tal de comprobar el correcte funcionament d’aques registre. Feu variar els senayls d’entrada adequadament per tal de veure la funcionalitat (no es necessari veure totes les posibles transicions).

**Aquest és el treball que haureu de pujar a través del campus virtual abans de la vostra corresponent sessió de pràctiques. El termini d’aquesta tasca és 48 hores abans de la vostra sessió de pràctiques, que serà diferent per als diferents grups. Un cop passat aquest temps ja no serà possible pujar els fitxers.**

* Pujeu un fitxer VHD amb les entitats i arquitectures dels biestables i el seu banc de proves. El fitxer es dirà **P4\_Cognom1\_Cognom2\_Nom.vhd**.